Journal of New Achievements in Electrical, Computer and Technology
Vol. 2, No. 3, Jun-Sep 2022,(65-80)
WWW.JNAECT.IR

مجله دستاوردهای نوین در برق،کامپیوتر و فناوری
دوره۲، شماره ۳، تابستان ۱۴۰۱ (۸۰-۶۵)

طراحی مرجع ولتاژ شکاف انرژی (Bandgap Voltage References) با اصلاح انحنای. مرتبه دوم در ولتاژهای پایین و در تکنولوژی استاندارد TSMC 0.18µm CMOS

میثم رضایی پور[۱]

[۱] کارشناسی ارشد مهندسی برق گرایش الکترونیک دانشکده علوم و تحقیقات دانشگاه ازاد اسلامی واحدگیلان ایران
Meysam.en62@gmail.com

چکیده

مراجع ولتاژ یک بلوک اساسی در بسیاری از کاربردهای فرکانس رادیویی و mixed-signal ، برای مثال مبدل های داده، PLLها و مبدل های توان می باشد. پراستفاده ترین پیاده سازی CMOS برای مراجع ولتاژ به علت پیش بینی پذیری و وابستگی کم به ولتاژ تغذیه و دمای کاری، مدار شکاف انرژی است. در این مقاله، مراجع ولتاژ شکاف انرژی را مورد بررسی قرار می دهیم. توپولوژی های مربوط که معمولا برای پیاده سازی مراجع ولتاژ شکاف انرژی به کار گرفته می شوند، بحث و بررسی شده اند و محدودیت های این ساختارها مورد بحث قرار گرفته اند. در این مقاله در مورد مراجع ولتاژ شکاف انرژی با اصلاح انحنای مرتبه اول و اصلاح انحنای مرتبه دوم در ولتاژ و توان پایین بحث و بررسی شده است. برای تایید کار ما مراجع ولتاژ شکاف انرژی با استفاده از تکنولوژی استاندارد TSMC 0.18 µm CMOS طراحی شده اند و نتایج شبیه سازی با کارهای پیشین مقایسه گردیده اند.

واژه‌های کلیدی: مراجع ولتاژ شکاف انرژی، اصلاح انحنای مرتبه اول، اصلاح انحنای مرتبه دوم.

.

.مقدمه

مراجع ولتاژ و جریان که وابستگی کمی نسبت به دما دارند نقش اساسی در بسیاری از مدارهای آنالوگ بازی می کنند. جالب است بـدانیم چون بسیاری از پارامترهای فرآیند با دما تغییر می کنند، اگر مراجع مستقل از دما باشند آنگاه معمولاً از فرآیند ساخت نیـز مسـتقل مـی شوند. یکی از بلوکهای ساختاری آنالوگ بخصوص در سیستم های پردازش داده، عبارت است از مرجع ولتـاژ[1] کـه بصـورت ایـده آل، ایـن بلوک، ولتاژ dc ثابت با دامنه معلوم که با دما تغییر نمی کند را تولید می نماید. چندین راهکـار بـرای تحقـق مراجـع ولتـاژ در مـدارهای مجتمع مورد استفاده قرار می گیرد که عبارتنداز:

۱. استفاده از یک دیود زنر که در بایاس معکوس در یک ولتاژ خاص می شکند.

۲. استفاده از تفاضل ولتاژ آستانه[2] یک ترانزیستور افزایشی و یک ترانزیستور تخلیه ای.

۳. حذف وابستگی حرارتی منفی یک اتصال pn با یک PTAT که دارای وابستگی حرارتی مثبت است.

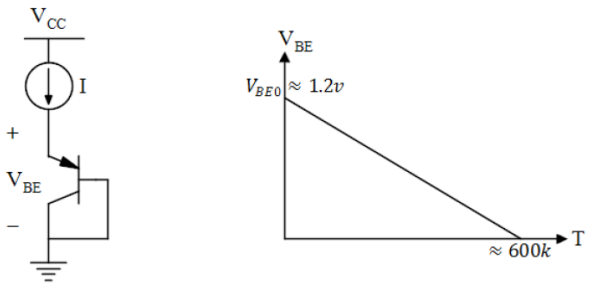
عناصر اصلی مراجع ولتاژ شکاف انرژی در مراجع ولتاژ شکاف انرژی، ولتاژ بیس- امیتر ترانزیستور دو قطبی نقش اصلی را به عهده دارد. می دانیم که V_{BE} از رابطه ی تقریبی زیر تبعیت می کند :

$$V_{BE}(T) \approx V_{BE}(T_r) - 2mV(T - T_r) \qquad (۱)$$

همان طور که از این رابطه و منحنی معادل آن (شکل ۱) مشخص است، V_{BE} به ازای هر $1^{\circ}c$ افزایش دما، 2mv کاهش می یابد. به عبارت دیگر ولتاژ بیس- امیتر دارای ضریب دمایی منفی[3] است. از طرفی در حالت ایده آل مشخصه ی ولتاژ بیس- امیتر و جریان کلکتور از رابطه ی زیر تبعیت می کند :

$$V_{BE} = \frac{KT}{q} L_n(\frac{I_c}{I_s}) \qquad (۲)$$

که در آن $V_T = \frac{KT}{q}$ ولتاژ حرارتی (K ثابت بولتزمن، T دمای مطلق و q بار الکترون است) و I_s جریان اشباع ترانزیستور است.



شکل ۱: یک BJT نمونه برای بررسی وابستگی دمایی V_{BE} و منحنی تقریبی V_{BE} آن بر حسب دما (2004. Pertijs et all)

حال حالتی را در نظر بگیرید که دو ترانزیستور مشابه را با جریان های مختلف بایاس کنیم (شکل (۲))، در این صورت تفاوت ولتاژ بیس- امیتر آن ها مطابق رابطه ی (۳) خواهد بود :

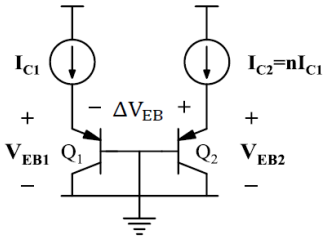
[1] Voltage Reference

[2] Threshold Voltage

[3] Negative Temperature Coefficient

$$\Delta V_{EB}(T) = \left|V_{BE_2}(T)\right| - \left|V_{BE1}(T)\right| = V_T L_n \frac{I_{c2}}{I_{c1}} \quad (۳)$$

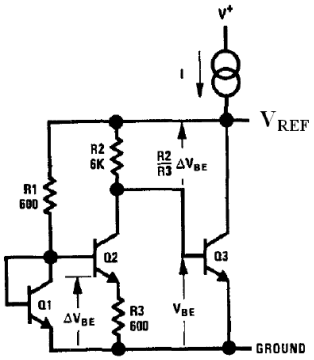
که نسبت $\frac{I_{c2}}{I_{c1}}$ برابر عدد ثابت n است. به این ترتیب سیگنالی برابر با $V_T L_n(n)$ به دست می آید که متناسب با دما است و آن را ولتاژ متناسب با دمای مطلق (PTAT) می نامیم. این ولتاژ می تواند معیاری برای اندازه گیری دما باشد(Behzad, 2001) و (Pertijs et all, 2004). ملاحظه می کنید که ترانزیستورهای دو قطبی کمیت های خوش تعریف و قابل تولیدی دارند که می توان با آن ها ضرایب دمایی مثبت و منفی درست کرد. به همین دلیل ترانزیستور دو قطبی هسته ی اصلی بیشتر مراجع ولتاژ شکاف انرژی را تشکیل می دهد.



شکل ۲: دو ترانزیستور مشابه که با جریان های مختلف بایاس شده اند(Behzad, 2001)

۲.روش کار

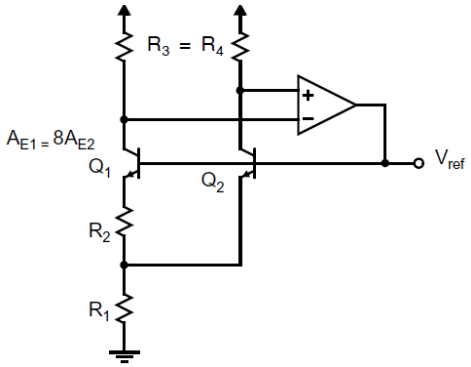
در دهه ی 60 میلادی یکی از پر استفاده ترین مراجع ولتاژ، دیودهای زنر بودند. علت استفاده از آنها، داشتن $10\ ppm/^{\circ}c$ تا 50 در یک بازه دمایی متوسط بود. اما ولتاژ شکست بالا، تاثیر پذیری از نویز، پایداری بلند مدت ضعیف و تغییر پذیری ولتاژ آنها ناشی از فرآیند تولید منجر به تحقیق برای راه حل جایگزین شد. اصول اولیه مراجع ولتاژ شکاف انرژی توسط Hilbeber در سال 1964 ارائه شد، اما این Widlar بود که در سال 1971، اولین تنظیم کننده ولتاژ مجتمع[4] با استفاده از یک مرجع ولتاژ شکاف انرژی را ارائه کرد که فرم ساده آن را در شکل (۳) می بینیم(1971:4, Widlar):



شکل ۳: مرجع ولتاژ مجتمع (1971:4, Widlar)

عملکرد خوب و دوام ارائه شده توسط تکنیک BGR به استفاده ی گسترده از این روش و ظهور مدارهای متفاوت منجر گردید. اولین بار در سال 1974 ، Brokaw یک مرجع ولتاژ شکاف انرژی بر پایه تکنولوژی CMOS ارائه کرد که آن را می توانیم در شکل (۴) مشاهده کنیم. این مرجع ولتاژ $ppm/^{\circ}c$ مساوی با 25 دارد .(1989, . Brokaw & Lewis)

[4] Voltage Regulator Integrated Circuit



شکل (۴) شمای ساده شده یک مرجع ولتاژ شکاف انرژی دو قطبی .(1989, . Brokaw & Lewis)

در سال 1979 Tzanateas یک مرجع ولتاژ شکاف انرژی ارائه کرد، با استفاده از فرآیند ترانزیستورهای MOS کـه در ناحیـه وارونگـی ضعیف[5] کار می کردند. این مرجع ولتاژ شکاف انرژی از یک ترانزیستور BJT پارازیتی استفاده می کنـد و دارای $ppm/^{\circ}c$ مسـاوی بـا 70 است .(1979, Tzanateas et all) توجه کنید که به جای استفاده از ΔV_{BE} در ترانزیستورBJT، از ترانزیسـتورهایMOS کـه در وارونگی ضعیف کار می کنند برای ساخت ولتاژ PTAT استفاده شد. رفتار ترانزیستورهای MOS که در وارونگی ضعیف کار می کنند مشابه رفتار رانزیستورهای BJT می باشد که در آنها جریان درین رابطه نمایی با ولتاژ گیت- سورس دارد. جریان درین MOS در ناحیـه وارونگی ضعیف در معادله (۴) آمده است. جدول (۱) پارامترهای این معادله را شرح می دهد.

$$I_D \cong \frac{W}{L}.I_{D0}.\exp\left(\frac{V_{GS}}{n'V_{TH}}\right) \qquad (۴)$$

جدول (۱) پارامترهای معادله (۴)

پارامتر	توصیف	واحد
V_{GS}	ولتاژ گیت-سورس	V
I_{D0}	ثابت فرآیند	A
n'	ضریب شیب در ناحیه زیر ولتاژ آستانه	-
W	عرض کانال	μm
L	طول کانال	μm

به خاطر نیاز به مراجع ولتاژ شکاف انرژی دقیق تر، در سالهای دهه 1980 کارهایی پیدار شد که تکنیکهایی برای اصلاح انحنـای مراجـع ولتاژ شکاف انرژی استفاده می کردند و این باعث عملکرد دمایی بهتر این مراجع ولتاژ شکاف انرژی شد. در سال 1980، Tsividis یـک تحقیق بسیار دقیق درباره ی اثرات دمایی در مشخصه های I_C-V_{BE} انجام داد.(2011, Tsividis & McAndrew) او نشان داد کـه علت اصلی عدم توافق بین معادله ی تئوری برای V_{BE} (T) و داده های اندازه گیری شده ناشی از این فرض نادرست است که ولتاژ شکاف انرژی سیلیکون به صورت خطی با دما تغییر می کند. این فرض غلط منجربه خطاهایی در پیش بینی ولتاژ خروجی مراجـع ولتـاژ شـکاف انرژی می گردید.همانطور که گفتیم Tsividis روشن ساخت که نه تنها نیـاز داریـم بخـش اول معادلـه (۴) را حـذف کنـیم بلکـه بایـد بخشهای درجات بالاتر معادله (۵) را نیز حذف نماییم تا عملکرد دمایی بهتری داشته باشیم. این کار، پایه ای برای طراحـی مراجـع ولتـاژ

[5] Weak Inversion

شکاف انرژی با دقت بالا بود. همانطور که می دانیم وابستگی دمایی V_{BE} (T) که از رابطه ی (۵) بدست می آید، این رابطه بر اساس درجه ی وابستگی V_{BE} نسبت به T به صورت معادله (۱۹-۲) نیز قابل بازنویسی است :

$$V_{BE} = a_0 + a_1 T + a_2 T^2 + \ldots + a_n T^n \qquad (۵)$$

یکی از پیشنهادهای Tsividis توسط Palmer در سال 1981 پیاده سازی شد[6]. این کار یک مرجع شکاف انرژی اصلاح انحنا شده ای بود که بخش غیر خطی V_{BE} با دما را اصلاح می کرد. این مرجع ولتاژ دارای ولتاژ تغذیه و توان مصرفی بالا بود و ولتاژ خروجی 5v با $ppm/^\circ c$ مساوی با 3 دربازه دمایی$5.5^\circ c$- تا $125^\circ c$ ارائه می کرد. در سال 1991، Nicollini یک مرجع ولتاژ شکاف انرژی تمام تفاضلی (Switched-Capacitor) ارائه کرد که برای کارهایی که نیازمند PSRR خوب هستند ، مناسب بود. این مرجع ولتاژ با تغذیه $\pm$ 5 ولت کار می کرد و دارای $ppm/^\circ c$ مساوی با 15.2 بود.(1991, Nicollini & Senderowicz) امروزه مراجع ولتاژ شکاف انرژی با دقت بالای سنتی، دیگر برای راضی کردن نیازهای الکترونیکی کفایت نمی کنند که آن هم به خاطر تقاضای فزآینده برای تجهیزات قابل حمل توان پایین است که کارکرد با ولتاژ پایین و توان پایین برای هر بلوک آنالوگ به کار رفته در آنها ضروری است. در سال 2001، Malcovati یک مرجع ولتاژ شکاف انرژی با اصلاح انحنا و با تغذیه 1ولتی ارائه کرد . این مدار یک ولتاژ خروجی 0.54v تولید می کند و $ppm/^\circ c$ آن مساوی 7.5 است و فقط 92µw توان مصرفی در دمای اتاق دارد. یک عیب این مدار نیاز به فرآیند 0.8µm BiCmos است که کارکرد ولتاژ پایین تقویت کننده عملیاتی مورد استفاده در این طراحی را ممکن می سازد پس هزینه ی تولید افزایش می یابد (2001, Malcovati et all) روش دیگر برای کاهش ولتاژ تغذیه توسط kim در سال 2008 ارائه شده که از تکنیک هیبرید استفاده می- کرد. به این صورت که از دیودهای ژرمانیوم (G_e) مجزا – به دلیل آنکه ولتاژ شکاف انرژی آنها فقط حدود 0.6v است- و یک چیپ (Chip) سیلیکون متصل از طریق یک مورد مدار چاپی بهره می برد که این منتج می شد به یک ولتاژ مرجع خروجی 310mv با $ppm/^\circ c$ مساوی با 302 در ولتاژ تغذیه1ولت. با این وجود استفاده از دیودهای ژرمانیوم مجزا با توجه به نیازهای امروز برای مجتمع سازی کامل، سازگاری ندارد (2008, Kim et all). به طور خلاصه، بیش از چهل سال از اولین باری که تکنیک شکاف انرژی مطرح شد گذشته است و امروز مدارهای تولید کننده ولتاژ شکاف انرژی با تکنولوژی زیر میکرومتر مطرح می باشند. در جدول (۲) خلاصه ای از پارامترهای اساسی مراجع ولتاژ شکاف انرژی مطرح شده را برای مقایسه آورده ایم.

جدول (۲) مقایسه مراجع ولتاژ شکاف انرژی از زمان پیدایش تا کنون

کار ارائه شده	ضریب دمایی ($ppm/^\circ c$)	VDD (V)	توان مصرفی (μ w)	فرایند ساخت
Widlar,1971	≈ 30	5	-	Bipolar
Tzanateas,1979	70	3.5	10	CMOS
Palmer,1981	≈ 3	10	2000	Bipolar
Nicollini,1991	15.2	5	4800	CMOS
Malcovati,2001	7.5	± 1	92	BiCMOS
Kim, 2008	302	1	-	Hybrid

[6](1981, Palmer and R. Dobkin)

۳.تحلیل داده ها

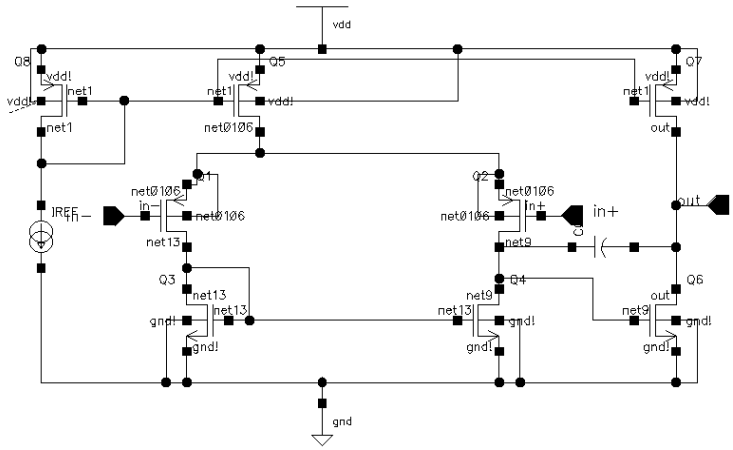
اولین روش، امروزه چندان معمول نیست زیرا ولتاژ شکست یک دیود زنری بطور معمول از ولتاژ تغذیه در مدارهای پیشرفته بزرگتر است. دومین روش در بیشتر مدارات CMOS، بدلیل در دسترس نبودن ترانزیستورهای تخلیه ای قابل حصول نیست. در عین حال، گرچه از آن می توان جهت ساخت منابع مرجع ولتاژ پایدار استفاده کرد، لیکن مقدار دقیق مرجع بدلیل حساسیت تفاضل ولتاژ بین ولتاژ آستانه یک ترانزیستور افزایشی و یک ترانزیستور تخلیه ای کار بسیار سختی خواهد بود. به همین دلایل است که دو روش اول را در مقاله مطرح نکرده و تنها روش سوم که امروزه معمول ترین روش برای هر دو تکنولوژی دو قطبی[۷] و CMOS است را بحث خواهیم نمود. مراجع ولتاژی که بر مبنای روش سوم کار می کنند، بطور معمول مراجع ولتاژ «شکاف باند» (Bandgap) نامیده می شوند (Behzadو ,2001) (2008, Johns &Martin) در این مقاله با استفاده از تکنیک جبران سازی وابستگی دمایی غیر خطی ولتاژ بیس-امیتر(CTAT) با کمک ولتاژ (PTAT) که اصلاح انحنای مرتبه ی دوم نامیده می شود به یک ولتاژ مرجع شکاف[۸] انرژی خواهیم رسید که زیر 1 ولت می باشد و از طرفی توان مصرفی این مدار کم خواهد بود. در این مقاله از نظر عملکرد ریاضی و سیستمی تکنیک فوق بررسی شده و شبیه سازی مدار در تکنولوژی استاندارد TSMC 0.18µm CMOS و در محیط نرم افزار Cadence انجام گرفته و نتایج قابل قبولی بدست آمده است. در مراجع ولتاژ شکاف انرژی که در این مقاله مد نظر هستند، مشخصه های ترانزیستورهای دو قطبی نقش مهمی را ایفا می کنند و عدم ایده آل بودن این مشخصه ها می تواند تاثیر قابل توجهی در ولتاژ خروجی داشته باشد. شبیه سازی تقویت کننده عملیاتی CMOS دو طبقه طراحی شده و پارامترهای بدست آمده از شبیه سازی را با پارامترهای معرفی شده را مقایسه خواهیم می کنیم. در ادامه به معرفی پارامترهای مهم در طراحی مراجع ولتاژ شکاف انرژی می پردازیم. سپس به شبیه سازی مرجع ولتاژ شکاف انرژی با اصلاح انحنای مرتبه اول طراحی شده خواهیم پرداخت و پارامترهای مهم آن را با نمونه های مرتبط با مرجع ولتاژ شکاف انرژی با اصلاح انحنای مرتبه اول طراحی شده خود مقایسه می کنیم. سپس به شبیه سازی مرجع ولتاژ زیر شکاف انرژی با اصلاح انحنای مرتبه اول طراحی شده در تحقیق می پردازیم و پارامترهای مهم آن را با نمونه های مرتبط با مرجع ولتاژ زیر شکاف انرژی با اصلاح انحنای مرتبه ی اول طراحی شده خود مقایسه خواهیم کردو در نهایت به شبیه سازی مرجع ولتاژ شکاف انرژی با اصلاح انحنای مرتبه ی دوم طراحی شده در تحقیق خواهیم پرداخت و پارامترهای مهم آن را با نمونه های مرتبط با مرجع ولتاژ شکاف انرژی با اصلاح انحنای مرتبه ی دوم طراحی شده خود مقایسه می کنیم.

۳/۱.شبیه سازی تقویت کننده ی عملیاتی CMOS دو طبقه

مدار طراحی شده را در محیط Cadence آورده و با تکنولوژی استاندارد TSMC 0.18 μm CMOS به شبیه سازی آن می پردازیم. شکل(۵) مدار را در محیط Cadence نشان می دهد.

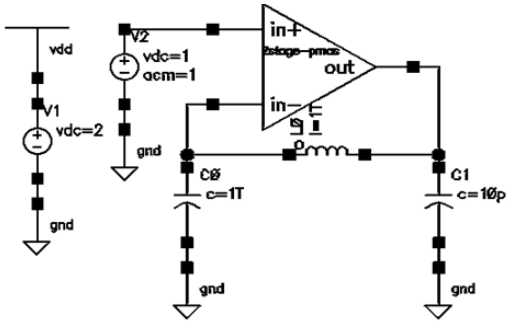
[7] Bipolar Transistor

[8] Bandgap Voltage Reference



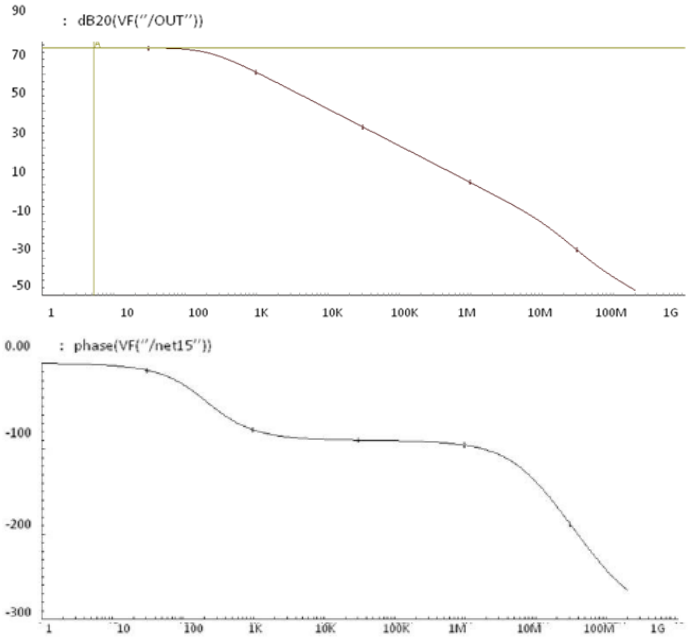
شکل (۵) مدار تقویت کننده ی عملیاتی CMOS دو طبقه در محیط Cadence

برای بدست آوردن پاسخ فرکانسی تقویت کننده ی عملیاتی CMOS دو طبقه از مدار شکل (۵) استفاده می کنیم.



شکل (۶) مدار برای بدست آوردن پاسخ فرکانسی تقویت کننده ی عملیاتی CMOS دو طبقه در محیط Cadence

پاسخ فرکانسی مدار تقویت کننده عملیاتی CMOS دو طبقه در شکلهای (۷) آمده است.



شکل (۷) پاسخ فرکانسی مدار تقویت کننده ی عملیاتی CMOS دو طبقه در محیط Cadence

همانطور که در شکل (۷) می بینیم :

A_v=84.33 db

GBW= 3.618 MHz

PM= 71.185°

که می توانیم پارامترهای فوق را با پارامترهای خواسته شده مقایسه کنیم که این مقایسه در جدول (۳) آمده است.

جدول (۳) مقایسه پارامترهای پاسخ فرکانسی تقویت کننده عملیاتی CMOS دو طبقه به صورت دستی و شبیه سازی شده

	نتایج طراحی دستی	نتایج شبیه سازی
A_v	72.6 db	84.33 db
GBW	5 MHz	3.618 MHz
PM	>60 °	71.185°

۳/۲. مقایسه پارامترهای تحلیل dc تقویت کننده ی عملیاتی CMOS دو طبقه به صورت دستی و شبیه سازی شده

بعد از انجام تحلیل فرکانسی به تحلیل dc مدار پرداخته و مقادیر جریان های dc تمامی ترانزیستورها را از شبیه سازی بدست می آوریم سپس این مقادیر dc را با مقادیر محاسبه شده مقایسه می کنیم که این مقایسه در جدول (۴) آمده است.

جدول (۴) مقایسه پارامترهای تحلیل dc تقویت کننده ی عملیاتی CMOS دو طبقه به صورت دستی و شبیه سازی شده

	نتایج طراحی دستی	نتایج شبیه سازی
I_{Q1}	$5\mu A$	$5\mu A$
I_{Q2}	$5\mu A$	$4.99\mu A$
I_{Q3}	$5\mu A$	$5\mu A$
I_{Q4}	$5\mu A$	$4.99\mu A$
I_{Q5}	$10\mu A$	$10\mu A$
I_{Q6}	$78.5\mu A$	$81.25\mu A$
I_{Q7}	$78.5\mu A$	$81.22\mu A$
I_{Q8}	$5\mu A$	$5\mu A$

معرفی پارامترهای مهم در طراحی مرجع ولتاژ شکاف انرژی:

۱- ولتاژ تغذیه

۲- ولتاژ مرجع خروجی

۳- ضریب دمایی

۴- بازه ی دمایی

تکنولوژی ساخت :

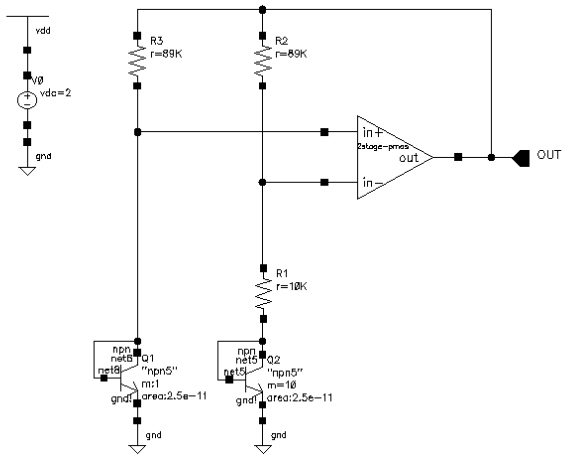
توجه کنید که ضریب دمایی از رابطه ی زیر بدست می آید :

$$TC = \frac{\left|V_{REF,\max} - V_{REF,\min}\right| / V_{REF,ave}}{T_2 - T_1} \; ppm/^\circ C$$

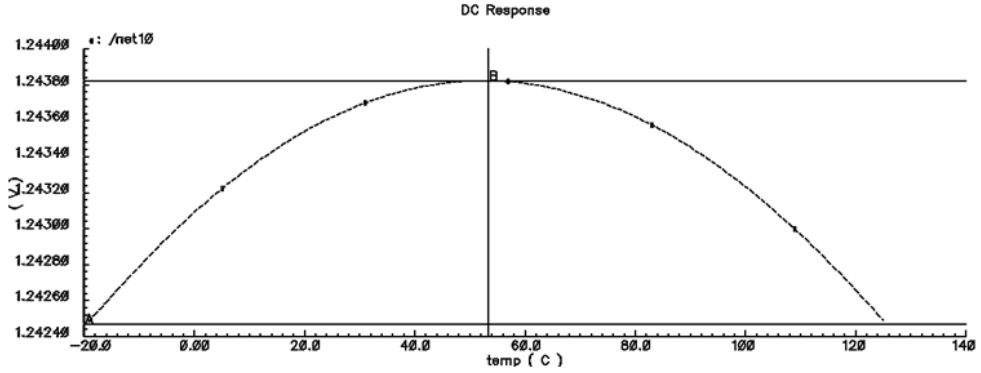
همانطور که می بینیم واحد ضریب دمایی $ppm/^\circ C$ است.

۴.نتایج

مدار طراحی شده را در محیط Cadence آورده و با تکنولوژی استاندارد TSMC0.18µm CMOS به شبیه سازی آن می پردازیم. این مدار در شکل (8) آمده است. نتیجه ی شبیه سازی ولتاژ خروجی بر حسب تغییرات دما را در شکل (9) مشاهده می نماییم.



شکل(8) مرجع ولتاژ شکاف انرژی با اصلاح انحنای مرتبه ی اول طراحی شده در محیط Cadence



شکل (9) شبیه سازی ولتاژ خروجی بر حسب تغییرات دمای مرجع ولتاژ شکاف انرژی با اصلاح انحنای مرتبه اول طراحی شده در محیط Cadence

پارامترهای معرفی شده بر اساس شبیه سازی به صورت زیر بدست آمده اند:

۱- ولتاژ تغذیه: 2V

۲- ولتاژ مرجع خروجی : 1.24 V

۳- ضریب دمایی: $7.5\ ppm/^{\circ}C$

۴- بازه دمایی: $20^{\circ}C$ - تا $125^{\circ}C$

۵- تکنولوژی ساخت : تکنولوژی استاندارد TSMC 0.18µm CMOS

۴/۱.معرفی چند نمونه از مراجع ولتاژ شکاف انرژی با اصلاح انحنای مرتبه اول

جو شورونگ[9] و همکارانش این مقاله را در سال 2007 در مورد یک مرجع ولتاژ شکاف انرژی BiCMOS با اصلاح انحنای مرتبه اول ارائه کردند که ولتاژ مرجع 2.5V تولید می کند. مدار آنها در محدوده ی ولتاژ تغذیه 6V تا 18V طراحی شده بود. این مرجع ولتاژ شکاف انرژی می تواند به بسیاری از IC های مدیریت توان[10] به خاطر ولتاژ بالا اعمال شود. به خاطر تولید منبع جریان پیش[11] تنظیم شده و همچنین ولتاژ تغذیه 15V و با تغییر مناسب مقاومت، ضریب دمایی می تواند به کمتر از ppm/°c 16.4 کاهش یابد. زمان راه اندازی ولتاژ مرجع را هم می توان با اضافه کردن یک ترانزیستور و قطبی و خازن کاهش داد(Shurong et all,2007) .

Dalton Colombo و همکارانش این مقاله را در سال 2012 در مورد یک مرجع ولتاژ شکاف انرژی CMOS دیجیتال استاندارد با توان پایین طراحی نمودند. آنها این مقاله را با استفاده از ترانزیستورهای مرکب Self-Cascode و یک مقاومت و بدون هیچ گونه ترانزیستور BJT ارائه کردند. ولتاژ خروجی تقریباً برابر ولتاژ شکاف انرژی سیلیکون است و ضریب دمایی ppm/°c 25.3 در بازه دمایی °c40- تا °c85 می باشد در حالیکه جریان تغذیه 25µA است. مدار با استفاده از ترانزیستورهای اکسید ضخیم و به کمک فرآیند CMOS 130 nm طراحی گردیده است.(Colombo et all,2012)
Arne E. Buck و همکارانش در سال 2002 این مقاله را در مورد یک مرجع ولتاژ شکاف انرژی در تکنولوژی CMOS

[9]Gu shurong

[10] Power Management

[11] Preregulator

0.5µm دیجیتال، بدون مقاومت ارائه کردند. ولتاژ مرجع خروجی حدود 1.120V بوده و تغییر قله تا قله[12] آن 9.4mv دربازه دمایی 0°c تا 70°c می باشد. توان مصرفی این مدار با ولتاژ تغذیه ی 3.7V، 1.4mw است (Buck et all, 2002).

Md.Shafiullah و همکارانش در سال 2010 یک مرجع ولتاژ شکاف انرژی در تکنولوژی 0.5µm CMOS را در این مقاله ارائه نمودند. این مدار یک ولتاژ مرجع 1.2218V تولید می کند و می تواند در بازه دمایی 20° c تا 70°c کار کند. تغییرات ولتاژ مرجع در این بازه دمایی 2.6mv است که برابر ٪ 0.213 ولتاژ مرجع می باشد. این مدار در یک مُد فیدیک جریان[13] کار می کند و نیاز به یک مدار راه انداز جهت عملکرد خوب دارد (2010,Shafiullah et all)پس از معرفی چند نمونه از مراجع ولتاژ شکاف انرژی با اصلاح انحنای مرتبه اول می توانیم پارامترهای آنها را که معرفی کردیم با پارامترهای مدار طراحی شده خود مقایسه نماییم که این مقایسه در جدول (۳) آمده است.

جدول (۳) مقایسه پارامترهای مهم در طراحی مرجع ولتاژ شکاف انرژی با اصلاح انحنای مرتبه اول طراحی شده و نمونه های ارائه شده

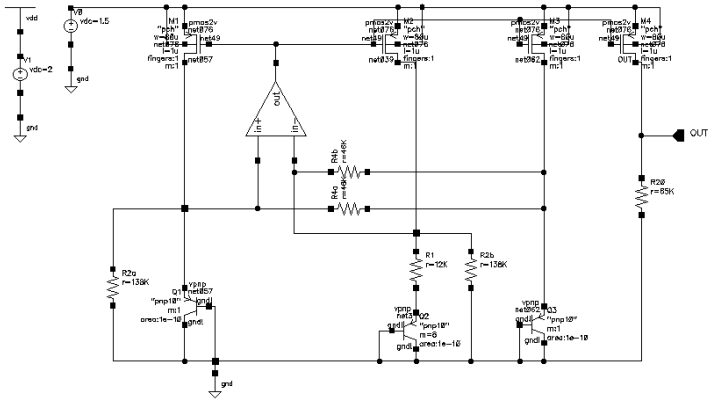
	ولتاژ تغذیه	ولتاژ مرجع	ضریب دمایی	بازه دمایی	تکنولوژی ساخت
مدار طراحی شده	2V	1.24V	7.5 ppm/˚c	-20°c تا 125°c	TSMC 0.18µm CMOS
[26]	15V	2.5V	16.4 ppm/˚c	-20°c تا 80°c	BiCMOS
[27]	2.5V	1.473V	25.3ppm/˚c	-40°c تا 85°c	130 *nm* CMOS
[28]	3.7V	1.12V	Vp-p=9.3mv	0°c تا 70°c	0.5µm CMOS
[29]	3V	1.2218V	Vp-p=2.6mv	20°c تا 70°c	0.5µm CMOS

۴/۲.شبیه سازی مرجع ولتاژ زیر شکاف انرژی با اصلاح انحنای مرتبه ی اول طراحی شده

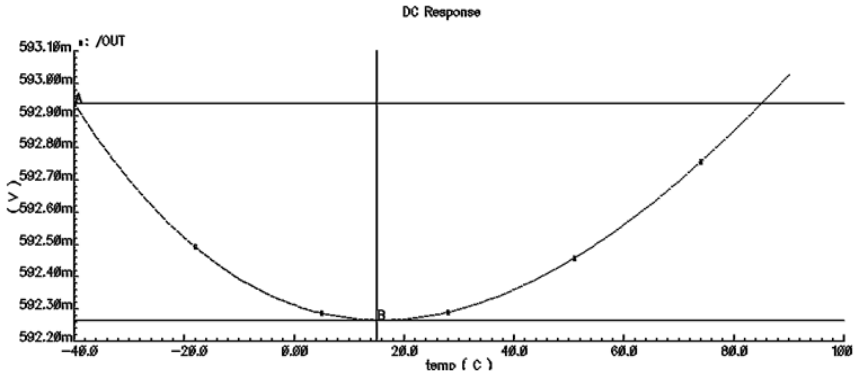
مدار طراحی شده در محیط Cadence آورده و با تکنولوژی استاندارد TSMC 0.18µm CMOS به شبیه سازی آن می پردازیم. این مدار در شکل (10) آمده است. نتیجه ی شبیه سازی ولتاژ خروجی بر حسب تغییرات دما را در شکل (11) مشاهده می نماییم.

[12] Peak to Peak

[13] Current Mode Feedback



شکل(10) مرجع ولتاژ زیر شکاف انرژی با اصلاح انحنای مرتبه ی اول طراحی شده در محیط Cadence



شکل (11) شبیه سازی ولتاژ خروجی بر حسب تغییرات دمای مرجع ولتاژ زیر شکاف انرژی با اصلاح انحنای مرتبه ی اول طراحی شده در محیط Cadence

پارامترهای معرفی شده بر اساس شبیه سازی به صورت زیر بدست آمده اند:

۱- ولتاژ تغذیه: 1.5V

۲- ولتاژ مرجع خروجی :592.26 mv

۳- ضریب دمایی: 8.7 ppm/˚c

۴- بازه دمایی: $40^{\circ c}$- تا $90^{\circ c}$

۵- تکنولوژی ساخت : تکنولوژی استاندارد TSMC 0.18µm CMOS

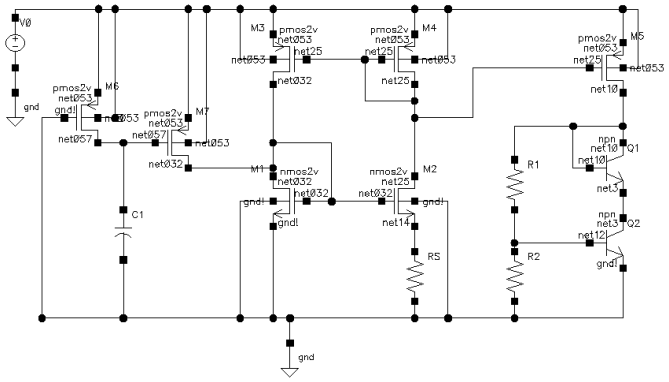
جدول (۴) مقایسه پارامترهای مهم در طراحی مرجع ولتاژ زیرشکاف انرژی با اصلاح انحنای مرتبه اول طراحی شده و نمونه های ارائه شده

تکنولوژی ساخت	بازه دمایی	ضریب دمایی	ولتاژ مرجع	ولتاژ تغذیه	

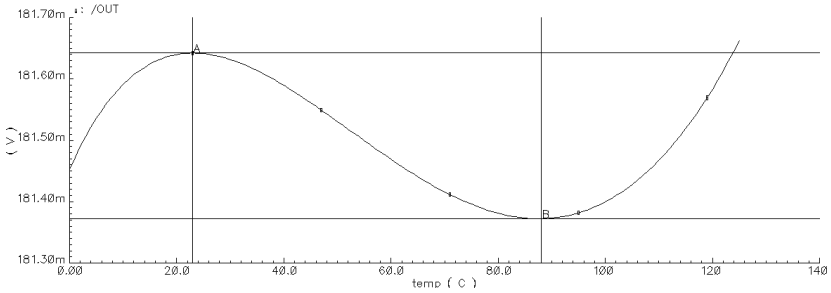
مدار طراحی شده	1.5V	592.26mv	8.7 ppm/°c	90°c تا -40°c	TSMC 0.18µm CMOS
[30]	1 V	612mv	20 ppm/°c	70°c تا -10°c	2p4m 0.3µm CMOS
[31]	1.3V	550mv	Vp-p=7.9mv	85°c تا -20°c	65 *nm* CMOS
[32]	950mv	761mv	39 ppm/°c	80°c تا -20°c	CMOS 0.3µm
[33]	0.97V	631mv	17ppm/°c	-40°c تا 125°c	0.3µm CMOS

۴/۳.شبیه سازی مرجع ولتاژ شکاف انرژی با اصلاح انحنای مرتبه ی دوم طراحی شده

مدار طراحی شده در محیط Cadence و با تکنولوژی استانداردTSMC0.18µm CMOS می توانیم در شکل (۸-۶) ملاحظه کنیم. نتیجه شبیه سازی ولتاژ خروجی بر حسب تغییرات دما در شکل (12) آمده است.



شکل (12) مرجع ولتاژ شکاف انرژی با اصلاح انحنای مرتبه ی دوم طراحی شده در محیط Cadence



شکل (13) شبیه سازی ولتاژ خروجی بر حسب تغییرات دمای مرجع ولتاژ شکاف انرژی با اصلاح انحنای مرتبه ی دوم طراحی شده در محیط Cadence

پارامترهای معرفی شده بر اساس شبیه سازی به صورت زیر بدست آمده اند:

۱- ولتاژ تغذیه : 2V

۲- ولتاژ مرجع خروجی :181 mv

۳- ضریب دمایی : 9.3 ppm/˚c

۴- بازه دمایی : ^{c} ˚20- تا ^{c} ˚140

تکنولوژی ساخت : تکنولوژی استاندارد TSMC 0.18µm CMOS

جدول (۵) مقایسه پارامترهای مهم در طراحی مرجع ولتاژ شکاف انرژی با اصلاح انحنای مرتبه دوم طراحی شده و نمونه های ارائه شده

	ولتاژ تغذیه	ولتاژ مرجع	ضریب دمایی	بازه دمایی	تکنولوژی ساخت
مدار طراحی شده	2V	181mv	9.2 ppm/˚c	^{c} ˚20- تا ^{c} ˚140	TSMC 0.18µm
[34]	5V	1.168V	7.14ppm/˚c	^{c} ˚50 تا ^{c} ˚130	2µm CMOS NEC
[35]	0.9V	1V	7ppm/˚c	^{c} ˚0 تا ^{c} ˚60	0.18µn CMOS
[36]	1.8V	950 mv	5.5ppm/˚c	^{c} ˚40- تا ^{c} ˚125	0.35µn CMOS
[37]	3.6V	631 mv	11.8 ppm/˚c	^{c} ˚40- تا ^{c} ˚125	0.5µn CMOS
[38]	3.3V	201 mv	6.2 ppm/˚c	^{c} ˚40- تا ^{c} ˚125	Triple-Well CMOS 0.35µm
[39]	1.8V	658 mv	9.617 ppm/˚c	^{c} ˚10- تا ^{c} ˚130	0.18µn CMOS

۵.نتیجه‌گیری

در این مقاله، به شبیه سازی مرجع ولتاژ شکاف انرژی و زیر شکاف انرژی با اصلاح انحنای مرتبه اول طراحی شده پرداختیم و با نمونه های ارائه شده در تحقیق به مقایسه پارامترهای مهم آنها پرداختیم و در نهایت شبیه سازی مرجع ولتاژ شکاف انرژی با اصلاح انحنای مرتبه دوم طراحی شده در تحقیق انجام شد و مقایسه پارامترهای مهم آن را با نمونه های ارائه شده انجام پذیرفت . در این تحقیق، مرجع ولتاژ شکاف انرژی با اصلاح انحنای مرتبه دوم طراحی شده با ولتاژ تغذیه، توان مصرفی و ضریب دمایی پایین دربازه دمایی مناسب حاصل می شود.

۶.منابع و مراجع

1. R. Behzad, "Design of analog CMOS integrated circuits," *International Edition*, 2001.
2. D. A. Johns and K. Martin, *Analog integrated circuit design*: John Wiley & Sons, 2008.
3. M. A. P. Pertijs, G. C. M. Meijer, and J. H. Huijsing, "Precision temperature measurement using CMOS substrate PNP transistors," *IEEE Sensors Journal*, vol. 4, no. 3, pp. 294–300, June 2004.
4. R. J. Widlar, "New developments in IC voltage regulators," *IEEE Journal of Solid-State Circuits* vol. 6, pp. 2-7, 1971.
5. P. Brokaw and S. R. Lewis, "Curvature correction of bipolar bandgap references," ed: Google Patents, 1989.
6. G. Tzanateas, C. Salama, and Y. Tsividis, "A CMOS bandgap voltage reference," *IEEE Journal of Solid-State Circuits*, vol. 14, pp. 655-657, 1979.
7. Y. Tsividis and C. McAndrew, *Operation and Modeling of the MOS Transistor*: Oxford Univ. Press, 2011.
8. Palmer and R. Dobkin, "A curvature corrected micropower voltage reference," in *Solid-State Circuits Conference. Digest of Technical Papers. 1981 IEEE International*, 1981, pp. 58-59
9. G. Nicollini and D. Senderowicz, "A CMOS bandgap reference for differential signal processing," *Solid-State Circuits, IEEE Journal of*, vol. 26, pp. 41-50, 1991.
10. P. Malcovati, F. Maloberti, C. Fiocchi, and M. Pruzzi, "Curvature-compensated BiCMOS bandgap with 1-V supply voltage," *Solid-State Circuits, IEEE Journal of*, vol. 36, pp. 1076-1081, 2001.
11. J. W. Kim, B. Murmann, and R. W. Dutton, "Hybrid Integration of Bandgap Reference Circuits Using Silicon ICs and Germanium Devices," in *Quality Electronic Design, 2008. ISQED 2008. 9th International Symposium on*, 2008, pp. 429-432.
12. G. Shurong, W. Xiaobo, and Y. Xiaolang, "A High Precision Bandgap Reference Used in Power Management ICs," *Engineering Letters*, vol. 14, pp. 45-48, 2007.
13. E. Buck, C. L. McDonald, S. H. Lewis, and T. Viswanathan, "A CMOS bandgap reference without resistors," *Solid-State Circuits, IEEE Journal of*, vol. 37, pp. 81-83, 2002.
14. Colombo, F. Werle, G. Wirth, and S. Bampi, "A CMOS 25.3 ppm/C bandgap voltage reference using self-cascode composite transistor," in *Circuits and Systems (LASCAS), 2012 IEEE Third Latin American Symposium on*, 2012, pp. 1-4.
15. M. Shafiullah and S. A. Chowdhury, "Design of a Simple CMOS Bandgap Reference," *International Journal of Electrical & Computer Sciences*, vol. 10, 2010.

Design of CMOS Bandgap voltage reference (Bandgap Voltage References) with Second Order curvature correction in low voltages and in standard TSMC 0.18 µm CMOS technology

Meysam Rezaeipour

Master of Electrical Engineering, majoring in Electronics, Faculty of Science and Research, Islamic Azad University, Gilan Branch, Iran Meysam.en62@gmail.com

Abstract---A Voltage Reference is a pivotal block in several radio-frequency and mixed-signal applications, for instance, data converters, PLLs and power converters. The most used CMOS implementation for voltage references is the Bandgap circuit due to its high predictatibility, and low dependency of the supply voltage and temperature of operation. This thesis studies the Bandgap voltage references. The relevant topologies usually employed to implement Bandgap voltage references are investigated, and the limitations of these architectures are discussed.In this thesis First-order curvature correction Bandgap voltage references and Second-order correction curvature Bandgap voltage references in low voltage and low power are investigated. To support our work, Bandgap voltage references are designed using the standard TSMC 0.18 µm CMOS Technology and simulation results are compared with previous works.