Journal of New Achievements in Electrical, Computer and Technology
Vol 2, No 1, Mar-Jun 2022,(30-44)
WWW.JNAECT.IR

مجله دستاوردهای نوین در برق،کامپیوتر و فناوری
دوره ۲، شماره ۱، بهار ۱۴۰۱ (۴۴-۳۰)

بررسی حافظه های RAM مبتنی براتوماتای سلول کوانتمی

سمیه جعفرعلی جاسبی[۱] ، میلاد باقریان خسروشاهی[۲]

[۱] استادیار ، دانشکده مهندسی کامپیوتر ، علوم و تحقیقات ، دانشگاه آزاد اسلامی ، تهران، ایران S.jassbi@srbiau.ac.ir

[۲]مربی ، گروه مهندسی کامپیوتر و فناوری اطلاعات، دانشکده فنی شهید شمسی پور، دانشگاه فنی و حرفه‌ای استان تهران، ایران m.b.khosroshahy@outlook.com

چکیده

امروزه باتوجه به نیاز های انسان ها دستگاه های الکترونیکی جواب گوی برآورده کردن این نیاز ها نیستند.از این رو باتوجه به محدودیت های موجود در فناوری CMOS نظیر ناحیه اتصال کوتاه کانال ، توان نشتی، عدم امکان پیاده سازی در ابعاد نانو پژوهشگران علم الکترونیک در تلاش برای یافتن فناوری های جایگزین به سمت فناوری های نانو متری رفته اند یکی از فناوری های پیشنهادی فناوری اتوماتای سلولی کوانتمی می باشد این فناوری شامل مزایایی چون توان محاسباتی سریعُ توان معرفی پاین و امکان ساخت در ابعاد نان متری میباشد. در این مقاله سعی شده است تا در ابتدا توابع پایه و اساسی به منظور طراحی مدارت مبتنی بر این فاوری معرفی و سپس تمرکز مقاله بر روی مرور انواع روشی های پیاده سازی حافظه و به ویژه حافظه RAM می باشد. تا به این ترتیب یه ارزیابی اجمالی از کارهای انجام شده پیشین حاصل شده تا علاقه مندان این فناوری بتوانند با مباحث و ادبیات این فناوری آشنا شده و این مقاله مروری بتواند تا چالش ها و مباحث کلیدی پیشرو برای پژوهشگران فعال در این عرصه را آشکار کرده و مسیر هموار برای علاقمندان این حوزه فراهم نماید.

واژه‌های کلیدی: تابع اکثریت، حافظه، حافظه RAM ، اتوماتای سلولی کوانتمی.

۱. مقدمه

امروزه باتوجه به مشکلات و محدودیت های موجود در تکنولوژی CMOS نظیر توان نشی، ناحیه اتصال کوتاه کانال، محدودیت در کوچک سازی ابعاد تراشه پژوهشگران و دانشمندان در تلاش هستند تا راه حل و فناوری جدیدی به منظور جایگزین کردن نیازهای جامعه طراحان سیستم های دیجیتالی پیدا کنند. در نتیجه بر اساس گزارش سازمان ITRS فناوری هایی برای جایگزینی تکنولوژی CMOS در نظر گرفته شده است. که عبارت اند از: نانو لوله های کربنی ، حلقه های بنزنی، نانو سیم هاُ، و اتوماتای سلولی کوانتمی. به طور کلی فناوری اتوماتای سلولی کوانتمی در سال ۱۹۹۳ توسط پروفسر لنت برای اولین بار معرفی شد. این فناوری دارای مزایایی چون امکان پیاده سازی در ابعاد نانو، توان مصرفی پایین، توان پردازش سریع می باشد[1-5].

به طور کلی، در فناوری اتوماتای سلولی کوانتمی دو دروازه منطقی نقشه کلیدی را ایفا می کنند که عبارت انداز دروازه منطقی معکوس کننده و دروازه منطقی اکثریت. به عبارت دیگر با داشتن این دو روازه می توان تا تمامی مدارات منطقی بزرگ تر را طراحی کرد. علاوه براین یکی از مدرات پرکاربرد که توانسته است تا مخاطبان زیادی را به خود جلب کند مدار تمام جمع کننده است. این دروازه منطقی یک دروزاه منطقی حسابی بوده و در بسیاری از زمینه های مدرات دیجیتالی کاربرد دارد. درنتیجه طرح های زیادی در این رابطه تا کنون اراپه شده است. به طور کلی به منظورارزیابی مدارات در ایت فناوری چند پارامتر کلیدی وجود دارد که عبارت اند از: مساحت، تعداد سلول، تاخیر که این سه پارامتر پارامتر های اصلی می باشند-6] 10]

به طور کلی به منظور طراحی مدرات دیجیتال دو رویکرد کلی وجود دارد طراحی به منظور هدفی خاص و طراحی برای کاربرد عمومی در نتیجه به منظور طراحی با هدف خاص پارامتر های دیگری نیز جهت ارزیابی وحو دارد که عبارت اند از توان مصرفی ، تعداد مقادیر فیکس[11]، تحمل پذیری اشکال[12] و طراحی فیزیکی[13] .هر یک از این پارامتر ها براساس اینکه هدف طراحی چه مداری با چه هدفی هست مورد ارزش و تمرکز قرار خواهند گرفت. باتوجه به هدف این مقاله و گستردگی پیش رفت های موجود در این فناوری تمرکز اصلی مقاله بر روی برسی مدارات از منظر ارزیابی پارامتر های عمومی برای مدرات حافظه خواهد بود.

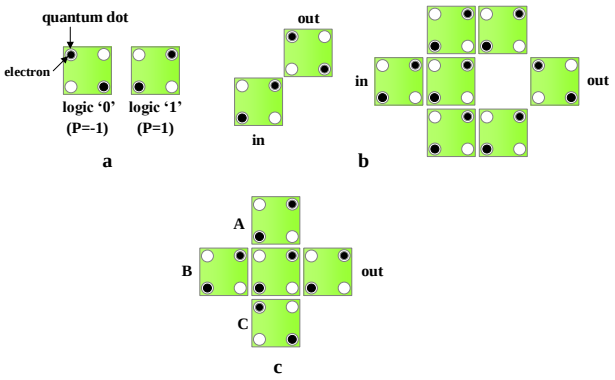
به این ترتیب بخش های تشکیل دهنده این مقاله عبارت اند از بخش اول مقدمه، بخش دوم مرور مطالب پایه، بخش سوم مدارات پایه مورد نیاز برای طراحی حافظه، و بخش چهارم مرور عنواع حافظه و ارزیابی طرح های حافظه RAM و بخش پنجم نتیجه گیری می باشد

۲. مبانی اتوماتای سلولی کوانتمی

حال می خواهیم به مرور مبانی این فناوری و مبانی پایه به منظور طراحی تمام جمع کننده تحمل پذیر خطا بپردازیم

۲-۱-۱- سلول

هر سول در ان فناوری به شکل مربع بوده و از چهار نقطه کوانتمی و یک جفت الکترون تشکیل می گردد. که باتوجه به تراکنش الکترواستاتیک و دافعه بار های هم نام در هر سلول این الکترون ها هم دیگر را دفع کرده و باید همیشه در دور ترین نقطه نسبت به هم قرار گرفته شوند در نتیجه دو حالت برای مدل سازی مقادیر در هر سلول وجود دارد و ما می توانیم به این ترتیب ۰ و۱ منطقی را مدل سازی کنیم. در شکل ۱ ساختار سلول نمایش داده شده است.



شکل ۱- نمایش سلول، معکوس کنندهٔ و تابع اکثریت در فناوری اتومای سلولی کوانتمی.

۲-۱-۲- سیم

در این فناوری سیم از در کنار عم قرار گرفتن سلول ها به صورت متوالی تشکیل می کردد و دو حالت متداول برای نمایش سیم وجود دارد سیم ۴۵ درجه و سیم ۹۰ درجه و تفاوت این دو در این است که در سیم ۴۵ درجه تمامی سلول های مجود در آن خط فرضی خاص به میزان ۴۵ درجه چرخوانده می شود تا به این ترتیب بتوان خواص متفاوتی را ایجاد کرد. در شکل ۲ ساختار سیم نمایش داده شده است[14].

۲-۱-۳- تابع اکثریت

همان طور که اشاره شد تابع اکثریت یکی از کلیدی ترین توابع موجود در این فناوری می باشد. این تابع باید همواره شامل تعداد فردی از ورودی باشد. که متداول ترین آن تابع اکثریت سه ورودی و پنج ورودی می باشد. تابع اکثریت سه وردی از سه سلول ورودی و ک سلول رای دهنده و از یک سلول خروجی تشکیل شده است. و تصمیم گیری و تولید مقادیر خروجی براساس رای اکثریت و براس تراکنش های الکترواستاتیکی صورت می کیرد در رابطه ۱ فرمول مرمود به تابع اکثریت سه ورودی آورده شده است همچنین در شکل ۳ ساختار تابع اکثریت سه ورودی نمایش داده شده است[1-5].

$$\text{3-input majority} = AB + BC + AC \quad (1)$$

۲-۱-۴- معکوس کننده

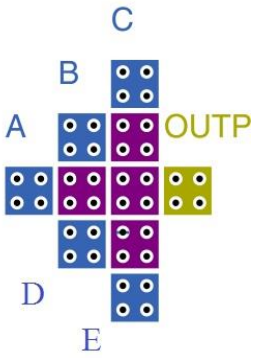
همان طور که پیش تر اشاره شد دیگردروازه منطقی کلیدی در این فناوری دروازه معکوس کننده می باشد. که مکانیسم عملکردی آن نیز بر اساس دافعه الکترونی می باشد و منطق آن نیز براساس جایابی سلولی تشکیل می گردد. تا کنون طرح های زیادی به منظور پیاده سازی معکوس کننده ها ارایه شده است که در ادامه متداول ترین آن را در شکل ۴ مشاهده می کینند[1].

۲-۱-۵- دروازه اکثریت ۵ ورودی

گیت اکثریت ۵ ورودی از ۵ ورودی، یک Voter و از یک خروجی تشکیل‌شده است. همچنین تابع و شکل آن نیز در شکل۲ نشان داده‌شده است.

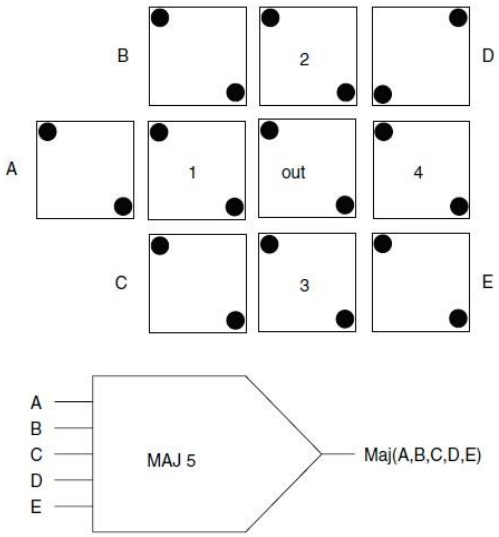
M(A,B,C,D)

$$=ABC+ABD+ABE+ACD+ACE+ADE+BCD+BDE+CD \quad (2)$$



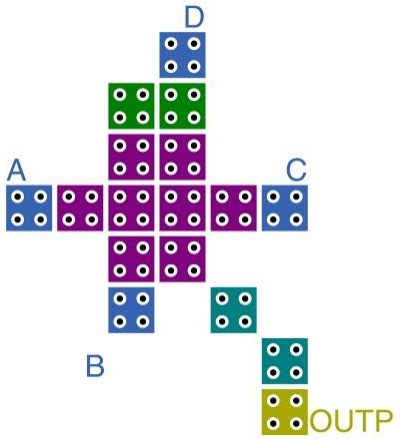
شکل ۲- تابع اکثریت پنج ورودی طرح [15]

این طرح شامل ۵ ورودی و یک سلول Voter و یک سلول خروجی و چند سلول واسط می‌باشد. همچنین این طرح در دو کلاک زمانی قابل‌اجراست در این گیت نیز با توجه به این‌که مقادیر اعمالی چه باشند مقدار خروجی متناظر تولید خواهد شد [15]. همچنین نتایج حاصل از شبیه‌سازی این تابع در زیر قابل‌نمایش است.



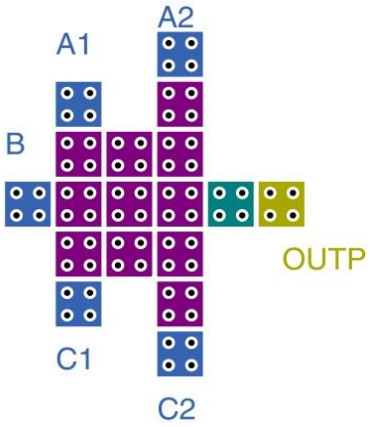
شکل ۳- تابع اکثریت پنج ورودی طرح [15]

در این طرح با توجه به نحوه چیدمان سلول‌های ورودی و به دلیل همسایگی مورب برخی از سلول‌های ورودی به نسبت سلول voter از یک سری سلول اضافی در میان این سلول‌ها استفاده‌شده تا به‌این‌ترتیب موجب گردد تا تمام ورودی‌ها از اثرگذاری یکسانی برای تعیین مقدار سلول voter برخوردار گردند. به‌صورت متمرکز در مرکز وجود ندارد. به‌منظور تعیین مقدار خروجی در کلاک ابتدایی مقادیر متناظر با ۵ ورودی به گیت اعمال‌شده. سپس هر یک از سلول‌هایی که با شماره‌های ۱ تا ۴ مشخص‌شده‌اند به‌صورت موازی از سوی سلول‌های ورودی اولیه مجاورشان تعیین مقدار شده و درنهایت در کلاک بعدی این چهار سلول مقادیر خود را به سلول مرکزی که OUT نام‌گذاری شده است. تحویل داده می‌شود. و به‌این‌ترتیب نتیجه مورد انتظار حاصل خواهد شد[16]. همچنین نتایج حاصل از این شبیه‌سازی در ادامه قابل‌مشاهده است.



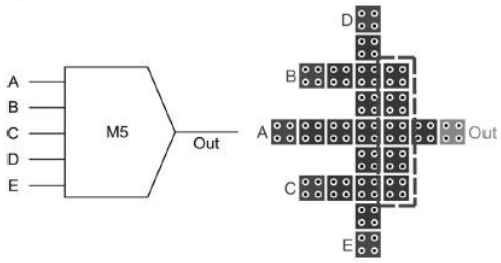
شکل ۴- تابع اکثریت پنج ورودی طرح [16]

در این ساختار هیچ احتیاجی به استفاده از متد crossover بهمنظور تولید مقدار خروجی نداریم. امکان اعمال ورودی‌ها در مدارتی که بر اساس این ساختار پایه‌گذاری شده‌اند به‌آسانی امکان‌پذیر می‌باشد. این طرح به‌واسطه استفاده از ۷ سلول مرکزی شکل‌گرفته است. همچنین ورودی‌های در کلاک اول واردشده، و سلول‌های میانی نیز در کلاک دوم وارد خواهند شد.[17]



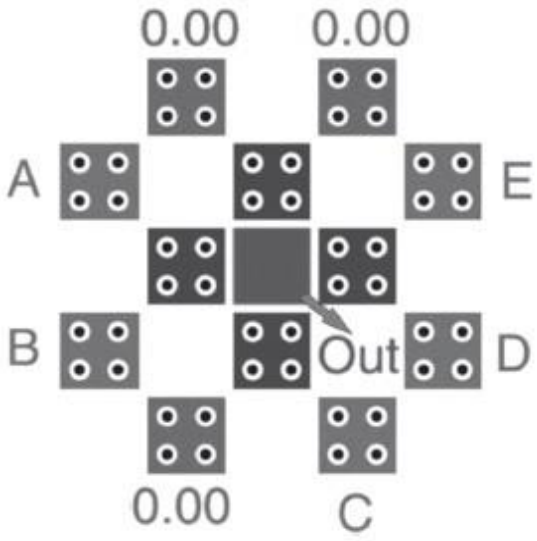
شکل ۵- تابع اکثریت پنج ورودی طرح [17]

در این طرح یک تابع اکثریت قوی معرفی‌شده است. که ورودی‌های آن در کلاک ۱ واردشده، سپس ۸ سلول میانی فاز کلاک دوم به دروازه وارد خواهد شد. این طرح از نویز پذیری کمتر نسبت طرح قبلی برخوردار است.[19]



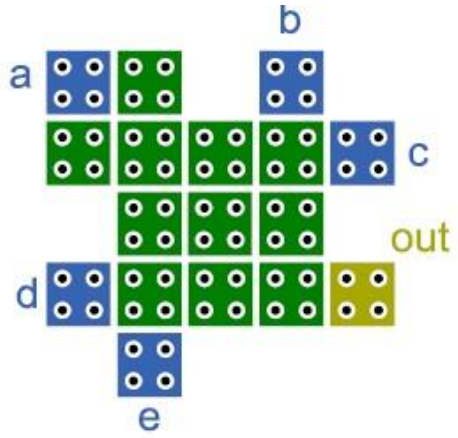
شکل ۶- تابع اکثریت پنج ورودی طرح [19]

این طرح شاید در نگاه اول مشابه با طرح شماره ۳ به نظر برسد اما در این طرح از فن پیاده‌سازی تابع بدون استفاده از متد crossover به‌مانند طرح‌های شکل های ۴ و ۵ استفاده‌شده است. می‌توان از این ساختار به‌منظور پیاده‌سازی جمع کننده زنجیره بهره گرفت.[20]



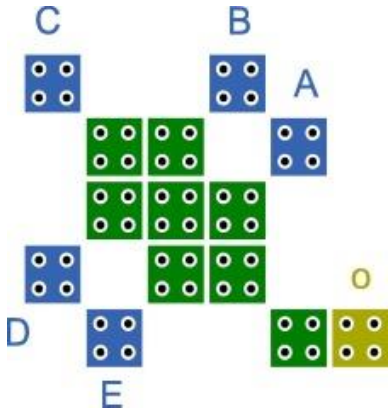
شکل ۷- تابع اکثریت پنج ورودی طرح [20]

این طرح به‌صورت تک لایه به اجرا درآورده شده است. در کلام اول ورودی‌ها اعمال‌شده، سپس سلول‌های میان در کلاک بعدی و سپس مقدار خروجی گیت نیز در کلاک سوم تعیین مقدار خواهد شد. به‌عبارت‌دیگر این طرح به نسبت طرح‌های شکل های ۴ و ۵ و ۶ با یک کلاک کمتر قابل‌اجراست.



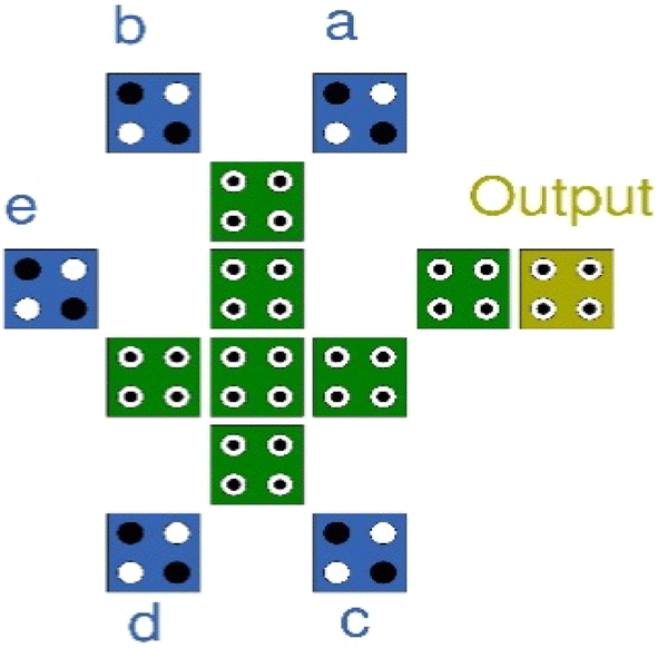
شکل ۸- تابع اکثریت پنج ورودی طرح [21]

در این طرح موانع و مشکلات موجود در طرح های دیگر از میان برداشته شده است و تنها عیب این طرح در رابطه با مصرف تعداد سلول بیشتر می باشد و حدر رفتنی مساحت و هزینه ساخت بالاتری است. به منظور کاهش هزینه ها در طراحی مدارات مبتنی بر تابع اکثریت ۵ ورودی طرح دیگری که در شکل 8 قابل مشاهده است. توسط میلاد باقریان از تیم دکتر ناوی ارائه شده است.



شکل ۹- تابع اکثریت پنج ورودی طرح [22]

در این طرح به مانند طرح پیشنهادی آقای انگیزی موانع و محدودیت های موجد در طرح های پیشین از میان رفته است و علاوه بر این این طرح با مصرف تعداد سلول و مساحت و هزینه ساخت و توان مصرفی کمتری قابل پیاده سازی می باشد در ادامه به علل کاهش توان مصرفی در هر یک از طرح ها به نسبت طرح پیشین خواهیم پرداخت فعلا در این بخش صرفا می خواهیم تا با ساختار انواع طرح های تابع اکثریت ۵ ورودی آشنا شویم. سپس به منظور کاهش منابع مورد نیاز و نیز هزینه ها طرح دیگری مجدد توسط باقریان خسروشاهی ارائه شده است که در شکل 9 نشان داده شده است.



شکل ۱۰- تابع اکثریت پنج ورودی طرح [23]

در این طرح با تعداد سلول و مساحت کمتری به نسبت طرح پیشین پیاده سازی شده است و علاوه براین در طراحی سلول های ورودی و خروجی در پخش ترین حالت ممکن قرار گرفته شده اند. و به این منظور تمام سول های ورودی به صورت معکوس به بدنه طرح وارد می شوند که این خود موجب می گردد تا مدیریت مفیزیکی طرح در بهینه ترین حالت ممکن صورت بگیرد. و در نهاید مقدار خروجی نیز به صورت معکوس خارج شده تا اثر معکوس سول های ورودی را خنثی کرده و

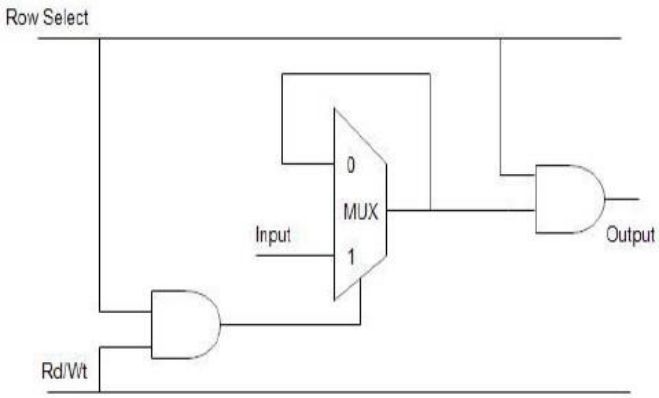
علاوه براین موجب تسهیل در امر توسعه پذیری مدار شده است. با وجود مزایای درای یک عیب اساسی به نسبت طرح پیشین می باشد و آن اسن است که تمامی ورودی های درای ظریب تاثیر گذاری یکسان نمی باشد. درنتیجه به منظور توسه پذیری برخی از مدارات مناسب نمی باشد.

۳-انواع حافظه در QCA

حافظه در این فنّاوری به دودسته سری و موازی تقسیم می‌شوند. در حافظه موازی تمامی فرایندها به‌صورت موازی و هم‌زمان در حال شک گیری بوده تمامی بیت‌های یک کلمه هم‌زمان مورد دسترسی قرار می‌گیرند. و این امر موجب تأخیر کمی خواهد شد. اما این روش ایرادی هم دارد در این حالت جریان مداوم و بالا برای هر بیت از کلمه مصرف‌شده بنابراین حافظه موازی برای حالتی که ناحیه مهم‌تر از تأخیر است مناسب نیست. از طرف دیگر حافظه سری تأخیر زیاد و فضای کمی نیاز دارد. زیرا بیت‌ها یکی پس از دیگری در دسترس قرار می‌گیرند.

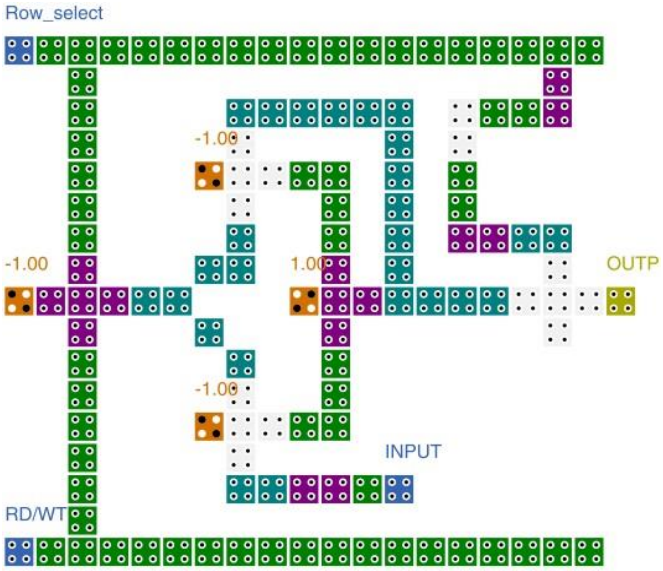
۳-۱- حافظه موازی

در شکل 11 نمایی شما تیک از چرخه یک بیتی از حافظه موازی نشان داده‌شده است. در این حافظه از یک MUX دوبـه‌یک بکار گرفته‌شده که در آن‌یکی از ورودی‌ها به یکی از خروجی‌های آن متصل شده و در طول عملیات خواندن سیگنال RD/WR پایین است. و مالتی پلکسر در حالت بازخورد قرار دارد. و به‌مانند یک چرخه حافظه عمل می‌نماید.



شکل ۱۱- ساختار حافظه ی موازی

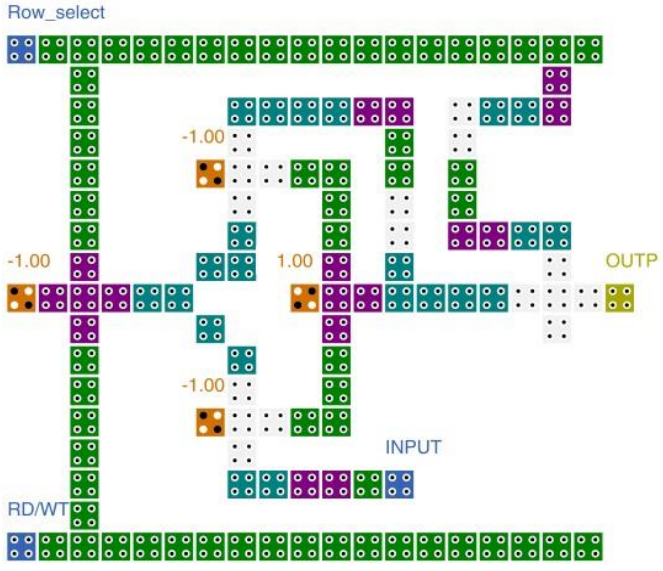
وقتی سیگنال RD/WR بالا باشد، ورودی جدید به خروجی مالتی پلکسر می‌رود و مقدار جدید در حافظه بارگذاری می‌شود. در شکل۱۲ نمایی از سلول حافظه به اجرا در آماده نشان داده‌شده است.



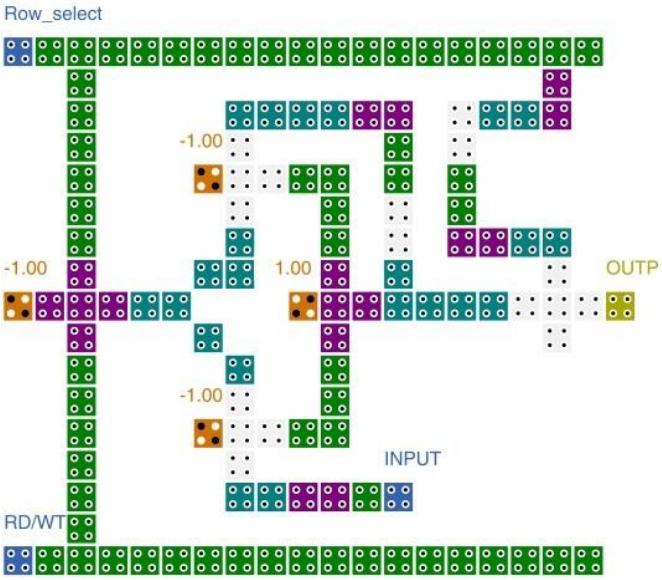
شکل ۱۲- حافظه موازی [24]

۳-۲- حافظه سری

حافظه سری از مزیت خوبی نسبت به حافظه موازی برخوردار است. به‌طوری‌که در آن به تعداد سلول کمتری برای پیاده‌سازی طرح مورد انتظار احتیاج داریم. به‌منظور پیاده‌سازی این نوع از حافظه معماری‌ها و طرح‌های مختلفی وجود دارد. در اغلب این طرح‌ها از نحوه تولید ساعت رایج مورداستفاده قرار نگرفته و به‌جای آن از تولید ساعت پیچیده استفاده‌شده است. برای نوشتن سیگنال RD/WR باید تعداد بیت‌های یک کلمه در پریود ساعت، بالا باش. و در خواندن حافظه سری نیز باید این سیگنال به تعداد بیت‌های کلمه، پایین باشد [24].



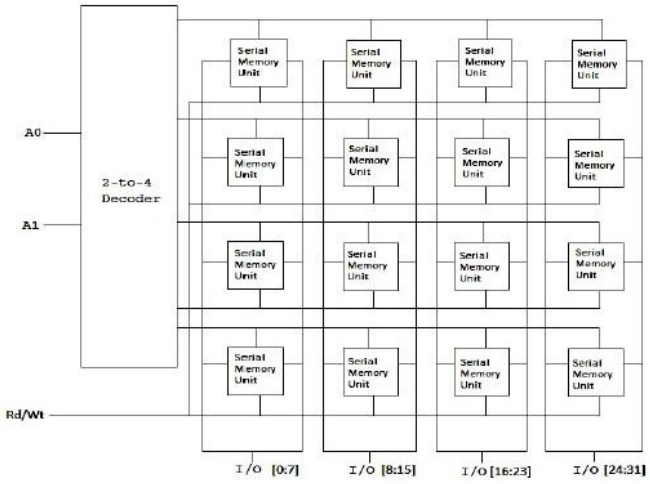
شکل ۱۳- حافظه سری طرح [24].



شکل ۱۴- حافظه سری طرح [24].

۳-۳ حافظه ترکیبی

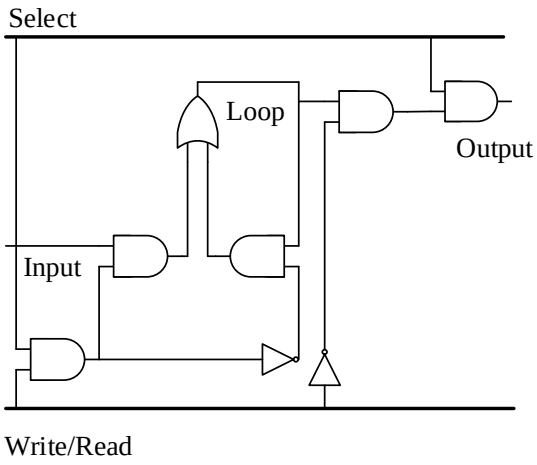
در بخش قبل با فواید و معایب هر دو نوع از معماری بکار رفته به‌منظور طراحی سری و موازی آشنا شدید. بنابراین با توجه به نیازمان در هر طرح مبنی بر تأخیر و یا فضای اشغالی موردنیاز سیاست‌های مختلفی را پیشرو می‌گیریم. در شرایطی نیز با ترکیب این ویژگی‌های وبرتری های موجود در هر یک از این دو نوع می‌تواند تا منجر به تولید حافظه‌های ترکیبی شود. به‌طور مثال برای حافظه‌ای با تعداد کلمات ۳۲ بیتی می‌توان از واحدهای حافظه ۸ بیتی استفاده کرد تا یک کلمه کامل به دست آورد. در شکل ۴-۳۳ این متد نشان داده‌شده است[24].



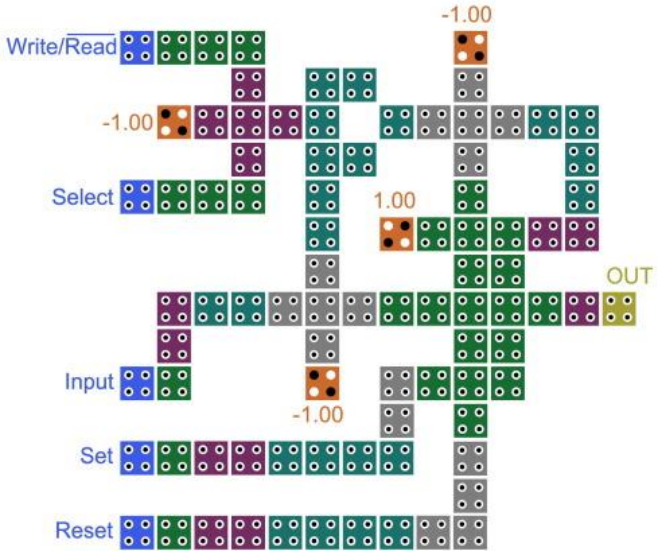
شکل ۱۵- ساختار حافظه ترکیبی

حافظه RAM

همان‌طور که می‌دانید کلیدی‌ترین و مهم‌ترین المان حفظ‌های ، حافظه RAM می‌باشد. این حافظه ای است که در بسیاری از پردازشت مربوط به دستگاه‌های کامپیوتری مورداستفاده قرارگرفته و بسیار مهم و کلیدی می‌باشد. به عنوان مثال هر داده‌ای به‌منظور پردازش از حافظه‌ی اصلی واکشی شده و به درون حافظه RAM اعزام می‌شود تا پردازش داده‌ها با سرعتی بالاتر انجام گیرند. شماتیک مربوط به عملکرد حافظه RAM در حالت کلی در شکل ۵-۳۴ قابل‌مشاهده است.

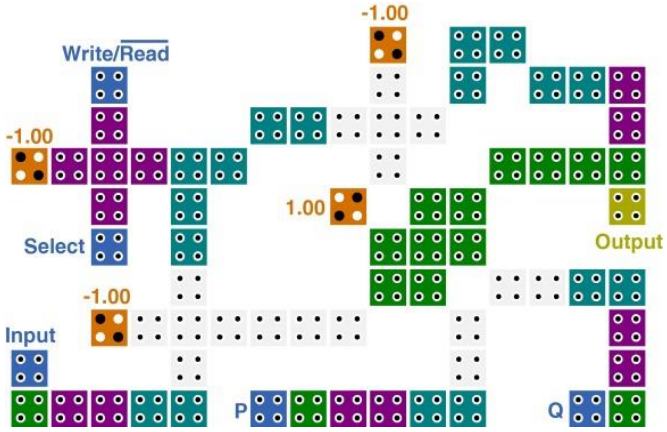


شکل ۱۶- ساختار حافظه ایستا



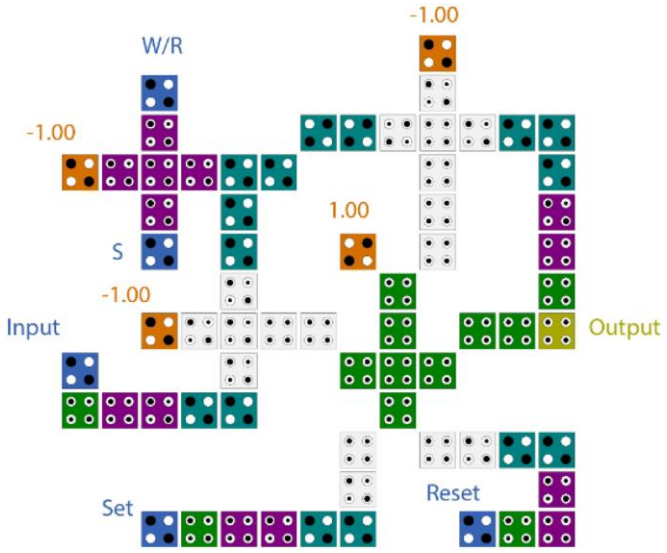
شکل ۱۷- حافظه RAM طرح [19].

این طرح حافظه مبتنی بر تابع اکثریت پنج ورودی و توسط آقای انگیزی ارائه شده است. و باتوجه به جدول مقایسه شامل تعداد سلول، تاخیر، و مساحت بیشتری به نسبت طرح های اخیر می باشد.



شکل ۱۸- حافظه RAM طرح [22].

این طرح توسط باقریان خسروشاهی ارایه شده است. این طرح نیز به مانند طرح انگیزی دارای ساختار کلی یکسان بوده با این تفاوت که از یک تابع اکثریت پنج ورودی جدید در ساختار آن استفاده شده است و این امر موجب گردیده تا تاخیر و تعداد سلول ها و مساحت کاهش پیدا کند.



شکل ۱۹- حافظه RAM طرح [23].

این طرح جدید تزین حافظه RAM مبتنی بر این فناوری می باشد . این طرح توسط ماجد ارایه شده است و در آن از یک تابع اکثریت جدید استفاده شده است و این اکر موجب کاهش تعداد سول و مساحت تراشه شده است. اگرچه طبق گزارشی که در خود مقاله نیز آمده است این تابع اکثریت شامل نقص بوده و تمامی ورودی های آن از ظریب اثر گذاری یکسان برخردار نمی باشد در نتیجه نمی توان از آن به منظور توسعه برخی از مدارت استفاده نمود.

جدول ۵-۱۲ جدول مقایسه حافظه RAM.

طرح ها	تعداد سلول ها	مساحت اشغالی	تعداد گیت مورد نیاز	تاخیر
حافظه RAM [22]	88	0.08	5	1.5
حافظه RAM [94]	158	0.16	8	2
حافظه RAM [25]	109	0.13	8	1.75
حافظه RAM [19]	75	0.98	6	1.5
حافظه RAM [22]	71	0.06	5	1.25
حافظه RAM [23]	67	0.05	5	1.25

۴- نتیجه گیری

فناوری اتوماتای سلولی کوانتمی یکی از فناوری های جایگزین برای فناوری CMOS می باشد که توانسته است تا مخاطبان و پژوهشگران زیادی را به خود جلب کند. در این مقاله سعی شده است تا انواع روش های طراحی حافظه معرفی شده و سپس تمرکز بر روی حافظه های RAM گذاشته شده است تا یه ارزیابی اجماعی در مورد این طرح ها بدست آید. این مقاله مروری برای پژوهشگرانی که به تازگی می خواهند تا وارد این زمینه پژوهشی شوند مفید می باشد تا با خواندن آن با این زمینه کاری آشنا شوند. به منظور شبیه سازی این مدارات می توان تا از نرم افزار متن باز QCADesigner استفاده کرد. همان طور که اشاره شد \ارامتر های ارزیابی به دو دسته کلی عمومی و خاص منظور تقسیم می شوند به منظور ارزیابی مدارات مبتنی بر این فناوری پارامتر هایی نظر تاخیرُ تعداد سلول، مساحت پارامتر های کلیدی بوده و به منظور ارزیابی دقیق تر می توان تا پارامتر های خاص منظوره نظر، تعداد فیکس، توان مصرفی و تحمل پذیری را نیز به جدول مقایسه افزود. . علاوه بر این دو روش متداول برای پیاده سازی حافظه RAM وجود دارد روش اول مبتنی بر تابع اکثریت سه ورودی و مدار معکوس کننده و حالت دوم مبتنی بر مدار اکثریت سه ورودی و پنج ورودی و مدار معکوس کننده. در طرح های اخیر حالت دوم طرفداران بیشتری را به خود جلب نموده است زیرا به این شیوه می توان تا موازی سازی را بالا برده و در مصرف مساحت تراشه و تعداد سلول صرفه جویی کرد در نتیجه سه طرح خوب اخیر براساس این شیوه پیاده سازی شده ایند ولی این شیوه دارای عبی نیز می باشد در رابطه با ارزیابی و عیب یابی سیستم در زمانی که سیستم دچار خطا و یا خرابی شده باشد یافتن محل خطا در حالتی که از تابع اکثریت پنج ورودی استفاده شده باشد به مراتب سخت تر از حالتی است که مدار مبتنی بر تابع اکثریت سه وردی پیاده سازی شده است.

۱- مراجع

1. Lent, Craig S., et al. "Quantum cellular automata." *Nanotechnology* 4.1 (1993): 49..
2. Tougaw, P. Douglas, and Craig S. Lent. "Logical devices implemented using quantum cellular automata." *Journal of Applied physics* 75.3 (1994): 1818-1825.
3. Amlani, Islamshah, et al. "Digital logic gate using quantum-dot cellular automata." *science* 284.5412 (1999): 289-291.
4. Bagherian Khosroshahy, Milad Daliri, Mahya Sam, et al. "A 3D universal structure based on molecular-QCA and CNT technologies." *Journal of Molecular Structure* 1119 (2016): 86-95.
5. Ahmad, Firdous, et al. "Performance evaluation of an ultra-high speed adder based on quantum-dot cellular automata." *International Journal of Information Technology* 11.3 (2019): 467-478.

6. Bhanja, Sanjukta, et al. "QCA circuits for robust coplanar crossing." *Journal of Electronic Testing* 23.2 (2007): 193-210.
7. Sasamal, Trailokya Nath, Ashutosh Kumar Singh, and Umesh Ghanekar. "Efficient design of coplanar ripple carry adder in QCA." *IET Circuits, Devices & Systems* 12.5 (2018): 594-605.
8. Sasamal, Trailokya Nath, Ashutosh Kumar Singh, and Anand Mohan. "An optimal design of full adder based on 5-input majority gate in coplanar quantum-dot cellular automata." *Optik* 127.20 (2016): 8576-8591.
9. Bhanja, S., Ottavi, M., Lombardi, F., & Pontarelli, S. (2006, March). Novel designs for thermally robust coplanar crossing in QCA. In *Proceedings of the Design Automation & Test in Europe Conference* (Vol. 1, pp. 6-pp). IEEE.
10. Danehdaran, F., Khosroshahy, M. B., Navi, K., & Bagherzadeh, N. (2018). Design and power analysis of new coplanar one-bit full-adder cell in quantum-dot cellular automata. *Journal of Low Power Electronics*, *14*(1), 38-48.
11. Khosroshahy, M. B., Moaiyeri, M. H., Angizi, S., Bagherzadeh, N., & Navi, K. (2017). Quantum-dot cellular automata circuits with reduced external fixed inputs. *Microprocessors and microsystems*, *50*, 154-163.
12. Bagherian Khosroshahy, M., Abdoli, A., & Panahi, M. M. (2021). Novel Feynman-Based Reversible and Fault-Tolerant Nano-communication Arithmetic Architecture Based on QCA Technology. *SN Computer Science*, *2*(6), 1-14.
13. Farhadtoosky, S., Khosroshahy, M. B., & Abedi, M. H. (2015, October). Improved layout implementation of Mini-Mips in terms of power, performance and chip footprint. In *2015 18th CSI International Symposium on Computer Architecture and Digital Systems (CADS)* (pp. 1-4). IEEE.
14. Danehdaran, F., Angizi, S., Bagherian Khosroshahy, M., Navi, K., & Bagherzadeh, N. (2021). A combined three and five inputs majority gate-based high performance coplanar full adder in quantum-dot cellular automata. *International Journal of Information Technology*, *13*(3), 1165-1177.
15. Navi, K., Farazkish, R., Sayedsalehi, S., & Azghadi, M. R. (2010). A new quantum-dot cellular automata full-adder. *Microelectronics Journal*, *41*(12), 820-826.
16. Navi, K., Sayedsalehi, S., Farazkish, R., & Azghadi, M. R. (2010). Five-input majority gate, a new device for quantum-dot cellular automata. *Journal of Computational and Theoretical Nanoscience*, *7*(8), 1546-1553.
17. Hashemi, S., Tehrani, M., & Navi, K., "An efficient quantum-dot cellular automata full-adder". *Scientific Research and Essays*, no.*7*,vol.2, pp.177-189.2012,.
18. Akeela, R., & Wagh, M. D. (2011, January). A five-input majority gate in quantum-dot cellular automata. In *NSTI Nanotech* (Vol. 2, pp. 978-981).
19. Angizi, S., Sarmadi, S., Sayedsalehi, S., & Navi, K. (2015). Design and evaluation of new majority gate-based RAM cell in quantum-dot cellular automata. *Microelectronics Journal*, *46*(1), 43-51.
20. Deng, J., & Wong, H. S. P. (2007). A compact SPICE model for carbon-nanotube field-effect transistors including nonidealities and its application—Part I: Model of the intrinsic channel region. *IEEE Transactions on Electron Devices*, *54*(12), 3186-3194.
21.Khosroshahy, M. B., Moaiyeri, M. H., & Navi, K. (2017, December). Design and evaluation of a 5-input majority gate-based content-addressable memory cell in quantum-dot cellular automata. In *2017 19th International Symposium on Computer Architecture and Digital Systems (CADS)* (pp. 1-6). IEEE.
22. Khosroshahy, M. B., Moaiyeri, M. H., Navi, K., & Bagherzadeh, N. (2017). An energy and cost efficient majority-based RAM cell in quantum-dot cellular automata. *Results in physics*, *7*, 3543-3551.
23. Majeed, A. H., AlKaldy, E., & Albermany, S. (2019). An energy-efficient RAM cell based on novel majority gate in QCA technology. *SN Applied Sciences*, *1*(11), 1-8.
24. Agrawal, D., & Ghosh, B. (2012). Quantum dot cellular automata memories. *International Journal of Computer Applications*, *46*(5), 75-87.
25. Hashemi, S. and Navi, K., 2012. New robust QCA D flip flop and memory structures. *Microelectronics Journal*, *43*(12), pp.929-940.

The RAMs evaluation based on Quantum Cellular Automata: A Survey

Somayyeh Jafarali Jassbi, Milad Bagherian Khosroshahy
Department of Computer Engineering, Science and Research Branch, Islamic Azad University, Tehran, Iran , S.jassbi@srbiau.ac.ir

Department of Electrical and Computer Engineering, Faculty of Shahid Shamsipour, Tehran Branch, Technical and Vocational University (TVU), Tehran, Iran, M.B.Khosroshahy@outlook.com

Abstract— Nowadays, based on human needs, electronic devices can not provide the user wants, so some activities need to do to increase the hardware's ability. Considering the limitations in CMOS technologies such as; short channel, fabrication, Leakage power, and so on. The electronic researchers started an effort to find a solution to simplified CMOS limitations, so they found Nanotechnologies best. one of the notable solutions is Quantum cellular automata. These technologies can provide many advantages such as; fast calculation, low power consumption, nanoscale, etc. In this paper, we try to evaluate basic gates in order to design big circuits. Then we focused on ways to design kinds of memories, especially Static Random-Access Memories. As a result, this evaluation is helpful for these field followers in order to find notable information about this field study to learn challenges and drawbacks about these issues to simplify the way for electronic researchers.